

108 位前导 0 计数器的电路设计与优化

李 勇, 秦海阳, 李振涛

(国防科学技术大学 计算机学院, 湖南 长沙 410073)

摘 要: 采用 2 位分组进行并行分工计数, 使用二叉树的电路结构进行 108 位前导 0 计数器电路设计. 采用 2 位分组的 108 位前导 0 计数器电路进行 PT 分析的时序为 0.17, 而采用 8 位分组的 RTL 级代码进行 DC 综合的时序为 0.21, 通过比较发现设计电路在速度上比 RTL 级代码快了 19%.

关键词: 前导 0 设计理论; 前导 0 电路设计; 前导 0 电路优化; 性能比较

中图分类号: TP332.2

文献标识码: A

文章编号: 1000-7180(2015)04-0001-04

Design and Optimization of the 108-bit Leading Zero Counter's Circuit

LI Yong, QIN Hai-yang, LI Zhen-tao

(School of Computer Science, National University of Defense Technology, Changsha 410073, China)

Abstract: This paper adopts 2-bit parallel packet to count respectively, 108 leading zero counter circuit design uses the structure which is two binary tree. The timing that 108-bit leading zero counter using 2-bit packet which is analyzed by PT is 0.17, and the timing that the RTL code using 8-bit packet which is analyzed by DC is 0.21, Comparative experience tell us that the design circuit is 20% faster than the RTL code in speed.

Key words: design theory of Leading zero; circuit design of leading zero; circuit optimization of leading zero; performance comparison

1 引言

在实行浮点运算的减法运算操作中, 需要用到一个计数器对前导 0 个数进行统计, 获得的计数结果用以指导规格化移位器进行左移操作^[1]. 传统前导 0 计数器采用逐位计数方式, 从高位往低位依次计算前导 0 个数. 传统前导 0 计算速度非常慢, 而且所占面积也是非常大, 不适合出现在高性能运算电路.

当前速度最快的当属 8 位分组的前导 0 计数器, 也是被普遍运用到实际项目中的运算结构. 8 位分组前导 0 计数器的结构框图如图 1 所示^[2].

8 位分组前导 0 计数器速度很快, 但是若数据的位宽不是 8 的倍数, 则需在低位进行补零, 使之成为 8 的整数倍. 因此在数据不全为 0 时, 计数结果是

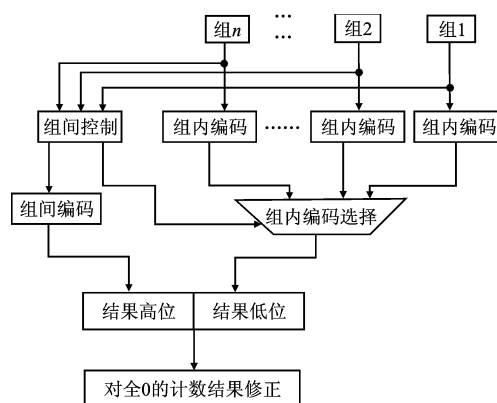


图 1 8 位分组前导 0 计数器结构框图

正确的; 但在数据全为 0 时, 则计数结果是 $(n-1) \times 8$, 而非没有扩充位宽之前的数据全 0 个数. 由此需添加一级逻辑, 在数据全为 0 时对输出结果进行

收稿日期: 2014-06-01; 修回日期: 2014-07-28

修正。

本文设计一个 108 位前导 0 计数器电路,采用 2 位分组并行计数方式,对数据进行前导 0 的个数计算。相较于 8 位分组前导 0 的计算方式,两位分组计数方式则更具灵活性和独立性,无需对输入数据的位数补零,也无需对输出结果进行修正。因此采用 2 位分组并行计数的方式^[3],实际的性能展现表明,电路设计确实在性能上更胜一筹。

2 电路设计

前导 0 计数器电路实现的功能:从数据的高位往低位计算连续 0 的个数,若出现 1,则停止计数。

2.1 设计理论

本文设计一个 108 位前导 0 计数器电路,采用 2 位分组的并行计数算法,电路设计原理如下:

如图 2 所示,前导 0 计数电路将数据位宽平分为高半位和低半位两个部分,然后分别对两部分前导 0 个数进行计算。在下一级计数逻辑对上面两个计数器结果进行汇总。当 $n=2$ 时,相当于 4 位前导 0 计数电路;当 $n>2$ 时,相当于 $2n$ 位前导 0 计数电路。

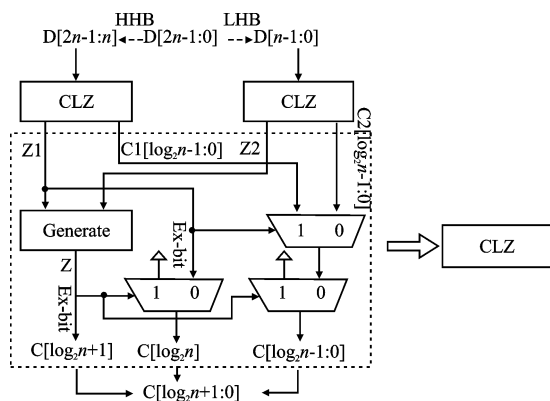


图 2 前导 0 电路设计理论

2.2 4 位前导 0 电路设计

如图 3 所示,Count[1:0] 可以表示 Data[3:0] 不全为 0 时前导 0 个数;当 Data[3:0] 全为 0 时,前导 0 的个数为 4,Count[1:0] 最多也只能表示 3,因此需要 Z 信号作为 Count 的拓展位^[4]。当 Data[3:0] 全为 0 时,前导 0 个数是 4,拓展位 $Z=1$,count[1:0]=2'b00,Z 与 Count[1:0] 组成 3 位二进制计数值,为 3'b100,正好可以表示 Data[3:0] 全为 0 时前导 0 的个数 4。

2.3 8 位前导 0 电路设计

8 位前导 0 电路是在两个 4 位前导 0 得出的计数

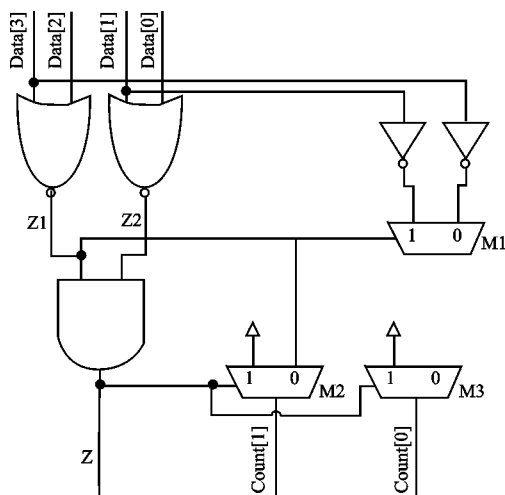


图 3 4 位前导 0 电路逻辑结构

结果后再做一次选择,对前面两个 4 位前导 0 的计数结果进行汇总。8 位前导 0 的电路结构如图 4 所示。

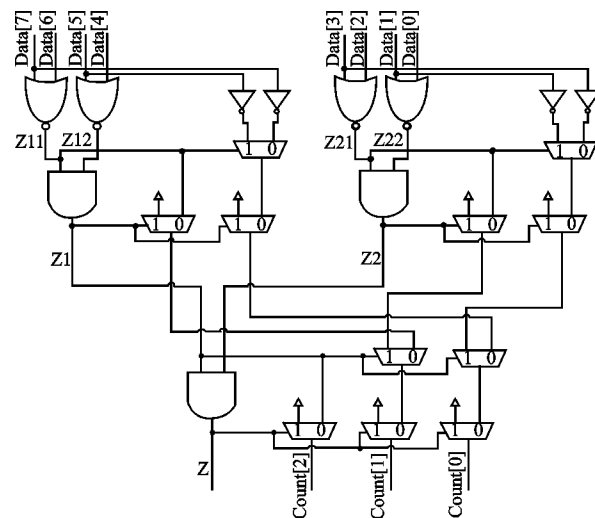


图 4 8 位前导 0 电路逻辑结构

图 4 中,左上方电路计算高 4 位前导 0 个数,右上方电路计算低 4 位前导 0 个数。当高 4 位全为 0 时,则需将高 4 位前导 0 个数与低 4 位前导 0 个数相加;当高 4 位不全为 0,则只需输出高 4 位前导 0 个数即可。当 Data[7:0] 不全为 0,Count[2:0] 即可表示前导 0 的个数;当 Data[7:0] 全为 0,则 Count[2:0]=3'b00,Z=1,构成二进制 1000 可以表示成 8 个 0。

从 8 位前导 0 电路结构,再结合 4 位前导 0 电路结构,由此找出前导 0 电路设计规律,为 108 位前导 0 电路设计提供结构的拓展。

将 8 位前导 0 电路结构进行模块层次化,如图 5 所示。

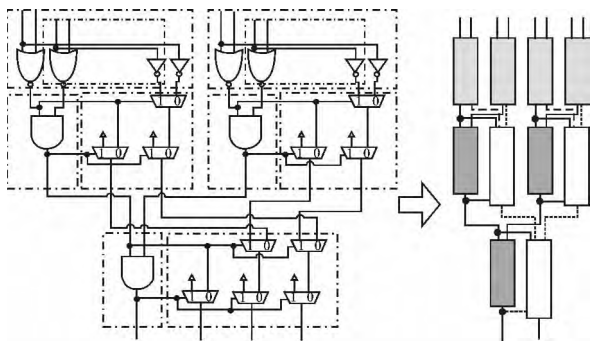


图5 8位前导0电路模块层次化图

图5所示,浅灰色模块(四端口模块)是1个NR2D和1个INVD,深灰色模块(三端口模块)是1个AN2D,上一级的白色模块是3个MUX2D,下一级白色模块(五端口模块)是5个MUX2D.

在大位宽前导0电路设计中,每向下增加一级模块,模块的个数就会增加一倍,白色模块的MUX2D就会增加2个,浅灰色和深灰色模块的逻辑单元不变.

2.4 108位前导0电路设计

将64位、32位和12位这三个前导0电路进行拼接,组成的108位前导0电路结构如图6所示.

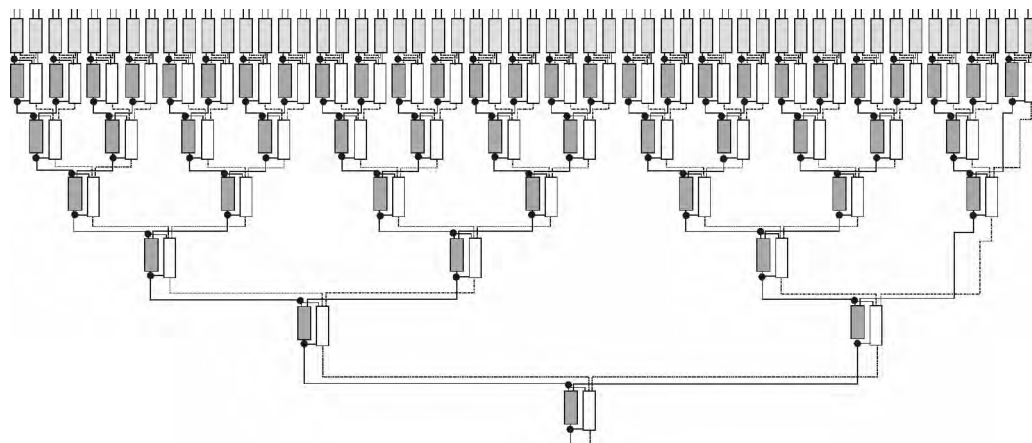


图6 108位前导0电路结构

如图6所示,从上到下分别是第一级模块、第二级模块、第三级模块、第四级模块、第五级模块、第六级模块、第七级模块.各个模块的内部逻辑电路如图7所示,其中白色模块 $n(n \geq 2)$ 是指模块的级数.

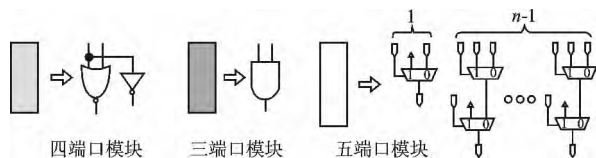


图7 模块内部逻辑单元

3 电路优化

3.1 Z信号树逻辑优化

图6中深灰色模块(三端口模块)是Z信号树逻辑模块,Z信号树经过优化之后如图8所示.

3.2 Count树逻辑优化

图6中白色模块(五端口模块)构成Count树,Count树由MUX2D逻辑单元构成.由于MUX2D标准单元存在传输管,导致标准单元延时大,以及单元驱动能力弱的情况^[5].因此需要将传输管逻辑单元优化成速度快、稳定性好的CMOS互补逻辑单元.

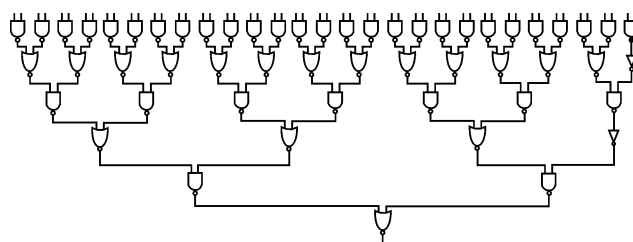


图8 Z信号树优化后的逻辑单元

将MUX2D传输管逻辑单元通过逻辑换算,使之成为互补的CMOS逻辑单元,可以有效提高Count树的计算速度和稳定性.根据Count树中白色模块(五端口模块)所处的模块级数,分奇偶两种情况分别进行逻辑换算和重组,优化之后的逻辑结构如图9所示.

从图9发现,优化后的逻辑电路中有反相器存在,并且随着模块级数增加,反相器个数也在增加.因此有必要将反相器提取出来,以一个大尺寸的反相器来代替这些分散的反相器,这样既可以满足驱动的需要,也可以用来减少面积.于是进一步优化之后的电路结构如图10所示.

3.3 单元尺寸优化

在同一级有关联的相邻两个模块,由于扇出不同造成负载不一样,因而不同模块内部单元尺寸的调整顺序也不一样.108 位前导 0 电路逻辑单元尺寸调整的顺序如图 11 所示.

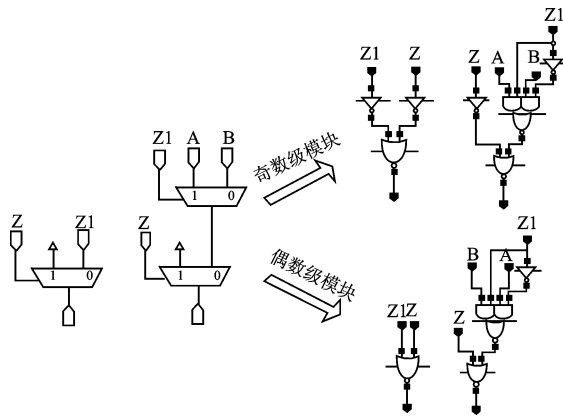


图 9 Count 树优化后的逻辑单元

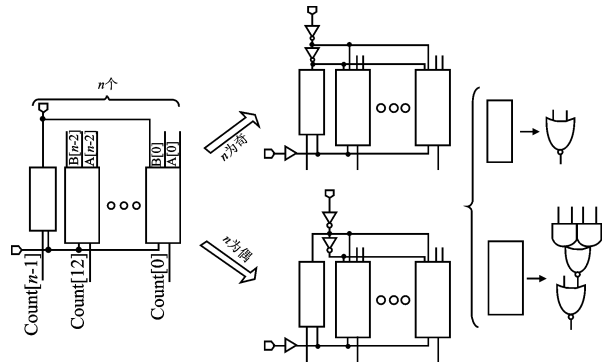


图 10 提取反相器的电路结构图

从图 11 可以看出,首先优化第 1 条路径的尺寸,按照阿拉伯数字依次增大的顺序,依次进行不同路径的模块单元尺寸调整,最后优化第 13 条路径.每条路径都是顺着箭头的方向,对各个模块依次进行单元尺寸的调整.

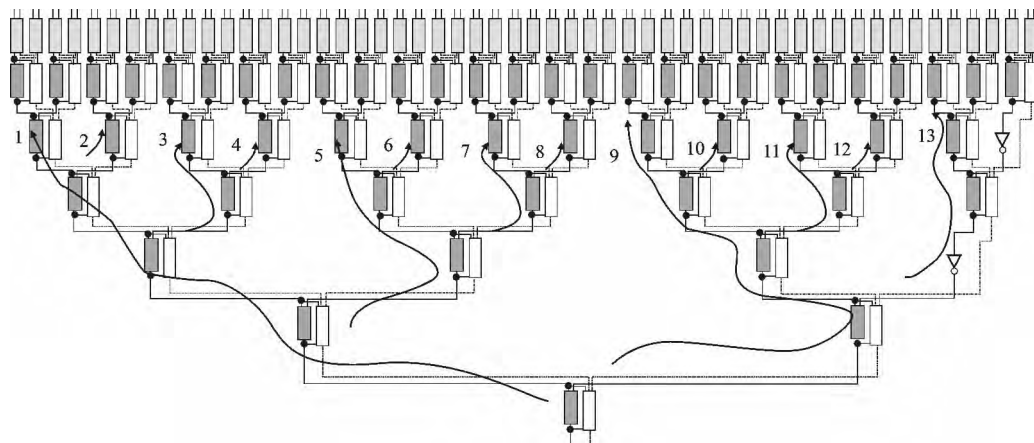


图 11 模块单元尺寸调整顺序

4 性能比较

在 108 位前导 0 电路设计完成后,提取电路设计的网表进行 PT 分析,通过 PT 分析获得到时序和面积结果.然后分别与传统前导 0 计数器的 RTL 级代码^[6]进行 DC 综合的结果,以及 8 位分组的 RTL 级代码进行 DC 综合的结果进行比较,如表 1 所示.

表 1 时序和面积比较表

	时序	面积
传统前导 0(DC)	1.56	9 783.3
8 位分组前导 0(DC)	0.21	622.1
2 位分组前导 0(PT)	0.17	709.6

通过比较发现,传统前导 0 的 RTL 级代码进行

DC 综合的时序和面积都太大,相对而言 8 位分组前导 0 的 RTL 级代码进行 DC 综合的时序却要比它要好得多,这也是当前一直使用 8 位分组前导 0 的 RTL 级代码的原因.然而本文设计的 2 位分组的 108 位前导 0 电路,进行 PT 分析的时序比 8 位分组 DC 综合的时序少了 19%,但面积却比 8 位分组的差了 20%.由于计数器的运算速度对浮点加法的运算是至关重要的,在面积相差不大的情况下这个电路设计仍然是非常成功的.

5 结束语

本文通过采用二位分组并行计数算法,实现

(下转第 9 页)

- Photonics, 2009, 3(3): 148-151.
- [5] Fekete L, Kadlec F, KzP, et al. Ultrafast opto-terahertz photonic crystal modulator [J]. Optics Letters, 2007, 32(6): 680-682.
- [6] 林绪伦. 采用应变层量子阱的毫米波低噪声 HEMT 的进展 [J]. 微电子学与计算机, 1990, 7(2): 12-14.
- [7] Rahm M, Li J S, Padilla W J. The wave modulators: a brief review on different modulation techniques [J]. Journal of Infrared, Millimeter, and Terahertz Waves, 2013, 34(1): 1-27.
- [8] Ebbesen T W, Lezec H, Ghaemi H, et al. Extraordinary optical transmission through sub-wavelength hole arrays [J]. Nature, 1998, 391(6668): 667-669.
- [9] Macdonald M E, Angelos Alexanian, York R A, et al. Spectral transmittance of lossy printed resonant-grid terahertz bandpass filters [J]. IEEE Transactions on Microwave Theory and Techniques, 2000, 48(4): 712-716.
- [10] Chen H-T, Lu H, Azad A K, et al. Electronic control of extraordinary terahertz transmission through sub-wavelength metal hole arrays [J]. Optics Express, 2008, 16(11): 7641-7648.
- [11] Shu J, Qiu C, Astley V, et al. High-contrast terahertz modulator based on extraordinary transmission through a ring aperture [J]. Optics Express, 2011, 19(27): 26666-26671.
- [12] Melo A M, Gobbi A L, Piazzetta M H, et al. Cross-shaped terahertz metal mesh filters: historical review and results [J]. Advances in Optical Technologies, 2012(530512):12.
- [13] Qq D, Grischkowsky D, Zhang W. Terahertz transmission properties of thin, subwavelength metallic hole arrays [J]. Optics letters, 2004, 29 (8): 896-898.
- [14] Ghaemi H F, Thio T, Grupp D E, et al. Surface plasmons enhance optical transmission through subwavelength holes [J]. Physical Review B, 1998, 58(11): 6779-6782.
- [15] Ulbricht R, Hendry E, Shan J, et al. Carrier dynamics in semiconductors studied with time-resolved terahertz spectroscopy [J]. Review of Modern Physics, 2011, 83(2): 543-586.
- [16] Astm F723-99. Standard practice for conversion between resistivity and dopant density for boron-doped, phosphorus-doped, and arsenic-doped silicon [M]. West Consho Hocken:ASTM International, 2003.

作者简介:

梁晓新 女,(1979-),博士研究生,副研究员.研究方向为微波毫米波及太赫兹器件. E-mail:liangxiaoxin@ime.ac.cn.

阎跃鹏 男,(1963-),博士生导师,研究员.研究方向为通信、导航系统及其关键器件.

(上接第4页)

108 位前导 0 电路设计与优化,并与当前性能最优的 8 位分组 RTL 级代码进行性能比较,通过比较发现采用 2 位并行分组计数的前导 0 电路的运算速度比 8 位分组 RTL 级代码 DC 综合的时序快了 19%. 由于前导 0 计数器电路处在浮点加法运算的关键路径上,因此 108 位前导 0 计数器在时序上取得的良好结果,对提高浮点加法的运算具有非常重要的意义.

参考文献:

- [1] 唐世庆,尹勇生,刘聪.一种加速浮点加法器的设计实现[J].微电子学与计算机,2003,20(8):163-166.
- [2] 李星,胡春媚,李勇,等.前导 1 预测算法的设计与实现[J].计算机科学,2013,40(4):24-28.

- [3] 孙岩,张鑫,金西.基于并行预测的前导 0 预测电路设计[J].电子测量技术,2008,31(1):84-87.
- [4] 黎渊,倪晓强,张民选.两种基于 FFO 的前导 0 检测算法[J].计算机工程与科学,2010,32(7):69-71.
- [5] Jan M Rabaey. 数字集成电路—电路、系统与设 [M]. 2 版.周润德,译.北京:电子工业出版社,2009.
- [6] 吉伟,杨靓,黄士坦.浮点运算中前导 0/1 的设计方法[J].微电子技术,2007,24(22):82-85.

作者简介:

李 勇 男,(1970-),博士,副研究员.研究方向为微处理器和 SOC 设计. E-mail:yongli@nudt.edu.cn.

秦海阳 男,(1986-),硕士研究生.研究方向为高性能集成电路设计与实现.

李振涛 男,(1976-),博士,副研究员.研究方向为高性能微处理器电路设计与 EDA 设计.